

CPLD Auswahl und Design

Sascha Schade DL1DRS

9. Januar 2010

Für ein software defined radio (SDR) wurde ein verstellbarer Taktgenerator, der den Analogschalter speist, als Design für einen CPLD synthetisiert und ein passender Baustein ausgewählt. Der **Xilinx CPLD XC9536XL-5VQG44C** (Digikey 122-1465-ND, 1.09 Euro) erfüllt die Anforderungen. Ein weiterer geeigneter Baustein ist der Altera CPLD EPM3032ATC44-4, der jedoch bei Digikey (544-1152-ND) bereits 1.82 Euro kostet. Dieser Bericht fasst einige Ergebnisse der Entwicklung zusammen.

1 Motivation

Für das Bastelprojekt des diesjährigen Fichtenfelddays wird ein kostengünstiges SDR entwickelt. Das bisherige Design nutzt mehrere TTL Gatter, um den Takt für den Analogschalter bereitzustellen. Die Auswahl verschiedener Vorteiler erfolgt mittels Steckbrücken.

Ziel war es, die Taktgenerierung in einem Baustein zu integrieren und gleichzeitig die Vorteilerauswahl elektronisch umzusetzen. Von der Implementierung in einem CPLD werden folgende Vorteile erwartet:

- Reduzierung der Baugröße
- Steigerung der Signalintegrität
- Wegfall der Steckbrücken
- Erweiterung des Vorteilerbereichs

Wegen des begrenzten Kostenrahmens soll der Ersatz kostenneutral sein.

2 Umsetzung

2.1 Schaltungsaufgabe

Die vier Analogschalter müssen einzeln nacheinander angeschaltet werden. Der vom Oszillator bereitgestellte Takt kann zwischen 10 und 160 MHz gewählt werden. Dadurch ergibt sich (ohne weiteren Vorteiler) ein Empfangsbereich zwischen 2.5 und 40 MHz.

<code>div</code>	Vorteiler	f bei 10 MHz	f bei 160 MHz	T bei 160 MHz
00	1	2.5 MHz	40.0 MHz	25 ns
01	4	625 kHz	10.0 MHz	100 ns
10	16	156 kHz	2.5 MHz	400 ns
11	64	39 kHz	625 kHz	1.6 μ s

Tabelle 1: Frequenzbereiche bei verschiedenen Vorteilern

Mit den Vorteilern 1, 4, 16 und 64 lässt sich ein Frequenzbereich von 39 kHz bis 40 MHz abdecken. Zur Ansteuerung genügen zwei Leitungen. Die einzelnen Bereiche sind in Tabelle 1 dargestellt.

2.2 Schaltungsumsetzung

Die Schaltung wurde als strikt synchrones Design in VHDL umgesetzt. Alle Register werden mit dem Systemtakt betrieben. Das Design lässt sich sowohl mit der Toolkette von Altera als auch von Xilinx synthetisieren. Die VHDL Datei `clockgen.vhd` liegt unter `Software/CPLD`. Die herstellereigenen Dateien liegen in `Software/CPLD/Altera` bzw. `Software/CPLD/Xilinx`. Beide Projekte sind so eingerichtet, dass die auf die selbe Datei zugreifen, ihre projektspezifischen Dateien jedoch im jeweiligen Unterverzeichnis ablegen.

Auf Vorschlag von DF9DQ wurde statt der üblichen Binärzähler Grayzähler eingesetzt. Der mittlere Stromverbrauch des CPLD wird wesentlich von der mittleren Anzahl toggelnder Flipflops pro Takt bestimmt. Beim Binärzähler liegt dieser Wert bei knapp unter zwei, beim Gray-Zähler ist er exakt eins. Dadurch soll die dynamische Stromaufnahme reduziert werden.

Ein synchroner 6-bit-Grayzähler arbeitet als Vorteiler (`prescaler`). Von ihm wird ein enable Signal (`ce`) abgeleitet, das einen weiteren synchronen 2-bit-Grayzähler ansteuert. Dieses enable Signal abzuleiten ist bei dem Grayzähler aufwändiger und erfordert ein weiteres Register. Die Frequenz dieses enable Signales kann durch einen Eingang (`div`) aus vier verschiedenen Werten ausgewählt werden. Von dem 2-bit-Zähler wird schließlich das Ausgabemuster abgeleitet. Die Ausgänge sind für eine möglichst geringe relative Verzögerung noch durch ein Register geführt.

Die Schaltung hat bewusst keinen Reset Eingang. Moderne Bausteine initialisieren alle Register beim Einschalten auf definierte Werte, die bei der Signaldeklaration im VHDL Quelltext angegeben wurden (bzw 0, wenn kein Wert angegeben wurde). Für die XC9500XL Serie ist dies im Datenblatt DS054 "XC9500XL High-Performance CPLD Family Data Sheet" auf Seite 4 unten dokumentiert

Der Einsatz eines expliziten Resets benötigt ggf. zusätzliche Ressourcen im Baustein. Auch kann das Lösen des Resets (Flanke 1 \rightarrow 0) als asynchrones Ereignis zu undefiniertem Verhalten führen. Dies ist ausführlich im Xilinx White Paper 272 diskutiert.

3 BauteilAuswahl

Von den CPLDs kamen nur die günstigsten Bausteine im Preisbereich ein bis zwei Euro in Frage. Die beiden Marktführer sind Altera und Xilinx, daher wurden auch nur Bausteine dieser Hersteller berücksichtigt. Um Platinenplatz einzusparen und gleichzeitig noch die Lötbarkeit für Ungeübte zu gewährleisten, soll ein TQFP Gehäuse gewählt werden. PLCC ist zu groß, QFN ist zu schwer zu löten.

Das gesamte SDR wird mit 3.3 Volt betrieben, daher sind von Xilinx die Serien XC9500 (5 Volt) und CoolRunner-II (1.8 Volt Corespannung) ungeeignet. Die Serien MAX 7000 und MAX II von Altera sind zu teuer. Übrig bleiben die Serien XC9500XL (3.3 Volt) von Xilinx und MAX 3000A von Altera. Die kleinsten und somit günstigsten Bausteine sind XC9536XL (Xilinx) und EPM3032 (MAX 3000A Serie von Altera).

Da der Oszillator bis 160 MHz schwingen kann, muss das CPLD diese Geschwindigkeit verarbeiten können. Bei Altera muss mindestens der Speedgrade 4 ns gewählt werden, bei Xilinx Speedgrade 5 ns.

Somit fiel die Wahl auf XC9536XL-5VQG44C von Xilinx und EPM3032ATC44-4 von Altera. Die Beschaffbarkeit und die Preise wurden bei Digikey Deutschland geprüft. Auf diese Serien gibt es dort keinen Mengenrabatt. Eine explizite Preisanfrage wurde durchgeführt, die auch keinen Mengenrabatt ergab.

Das Design musste umgesetzt werden, um zu prüfen, ob die Ressourcen des gewählten Bausteines ausreichen und ob der längste Pfad in der Logik schnell genug ist, um auch bei maximaler Frequenz des Oszillators zu keinen Timingverletzungen zu führen.

4 Ergebnisse

4.1 Synthese

In Abbildung 1 ist die Umsetzung durch das Altera Tool auf RegisterEbene gezeigt und in Abbildung 2 auf TechnologieEbene. Die Ergebnisse bei Xilinx unterscheiden sich davon kaum und sind in den Abbildungen 3 und 4 abgedruckt.

4.2 Erreichbare Clock Frequenzen

Die maximalen Frequenzen, die bei der Simulation mit den Werkzeugen der beiden Hersteller durchgeführt wurden, sind in Tabelle 2 und die Ausnutzung der Bausteine in Tabelle 3 aufgeführt.

4.3 BauteilAusnutzung

5 Diskussion

Die erreichbare Frequenz der Clock wird bei Xilinx durch die minimale Pulsbreite des Clock Signals begrenzt, nicht durch den längsten Pfad innerhalb des Designs. Das Design erreicht also die maximal mögliche Frequenz auf dem Chip.

Device	Speedgrade	f_{\max}	Digikey	EUR/100
Altera EPM3032	10 ns	103.09 MHz	544-1151-ND	1.06
	7 ns	138.89 MHz	544-1153-ND	1.10
	4 ns	227.27 MHz	544-1152-ND	1.82
Altera EPM7032AE				≥ 1.82
Xilinx XC9536XL	10 ns	100.00 MHz	122-1385-ND	0.81
	7.5 ns	125.00 MHz	122-1437-ND	0.87
	5 ns	178.57 Mhz	122-1465-ND	1.09

Tabelle 2: Erreichbare Clock Frequenzen

Baustein	Makrozellen
Altera EPM3032ATC44-4	15/32 (47%)
Xilinx XC9536XL-5VQG44C	15/36 (42%)

Tabelle 3: Ausnutzung der Bausteine

Bei Altera ist die maximale Frequenz durch den Zähler begrenzt. Auch hier gibt es keinen anderen Pfad, der die Geschwindigkeit des Designs begrenzt.

Die als Randbedingung vorgegebene Taktfrequenz von 160 MHz wurde von beiden Tools als erreichbar zugesichert.

Sowohl die Funktionale Simulation beider Umsetzungen als auch die Simulation nach dem Fitten hat das gewünschte Muster an den vier Ausgängen gezeigt. Ausdrücke aus Modelsim liegen als PDF im Dokumentationsordner.

6 Zusammenfassung und Ausblick

Das Design wurde erfolgreich für zwei Bausteine umgesetzt und simuliert. Das gewählte CPLD ist günstig und über Digikey leicht in Stückzahlen zu beschaffen. Die Beschaffung einzelner Bausteine für einen Test vor dem Einsatz im Prototyp ist noch nicht geklärt.

Ein abschließender Test mit realer Hardware muss durchgeführt werden. Es wird erwartet, dass dies die Ergebnisse aus den Simulationen bestätigen werden. Mehr als die Hälfte der Ressourcen in beiden Bausteinen ist ungenutzt. Dies ermöglicht noch weitere Funktionen im CPLD zu integrieren. Folgende Weiterentwicklungen sind denkbar:

- Eine Auswahl des Teilers durch ein serielles Protokoll.
- Durch die Nutzung der positiven und negativen Flanke des Oszillators könnte die maximale Empfangsfrequenz auf 80 MHz verdoppelt werden (DDR Register).
- Vorteiler in 16-er Schritten könnten genügen, da der Verhältnis zwischen maximaler und minimaler Frequenz des Oszillators gerade 16 ist.
- Nutzung eines Enable Einganges, um die Zähler anzuhalten. Dies könnte den Stromverbrauch im Standby senken.

Anhang

Pinbelegung XC9536

Die Lage der I/O Pins kann im Design fast frei gewählt werden. Der Oszillator muss an eine der globalen Taktleitungen angeschlossen werden. Dies kann beim TQFP Gehäuse (VQ44) Pin 43, 44 oder 1 sein. Da ein 3.3 Volt Betrieb vorgesehen ist, muss V_{CCINT} (Pin 15 und 35) auch mit 3.3 Volt verbunden werden.

Weitere Pins sind schon mit einer dedizierten Funktion (Versorgung, JTAG) belegt. Dies ist im Datenblatt [xilinx-xc9536x1-datasheet-ds056.pdf](#) auf Seite 6 unten dokumentiert.

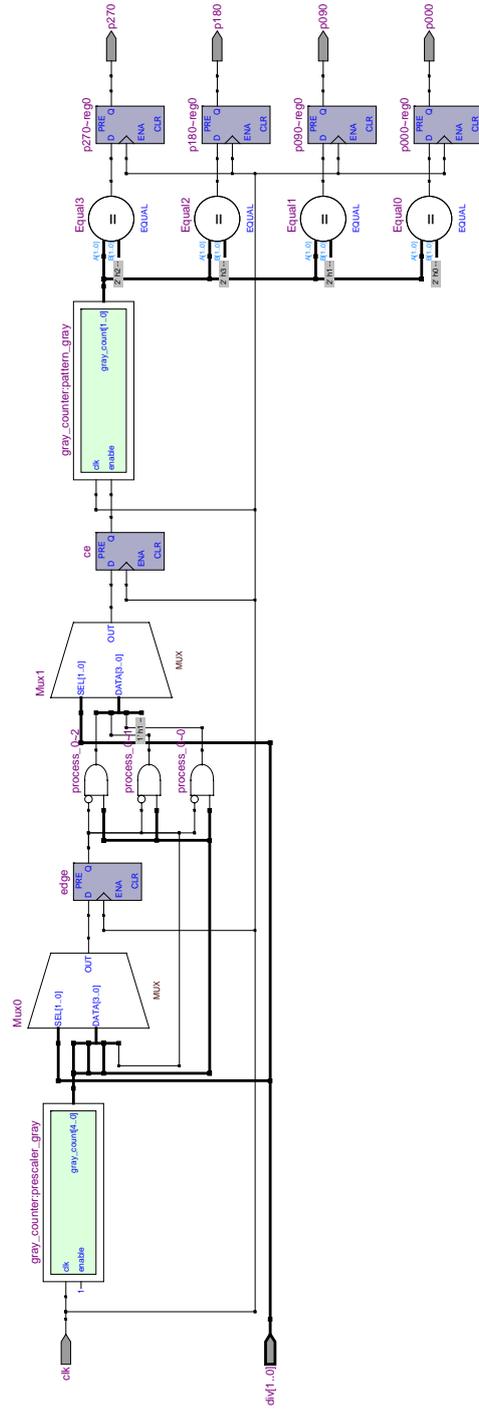


Abbildung 1: Register Transfer Level der Altera Implementation

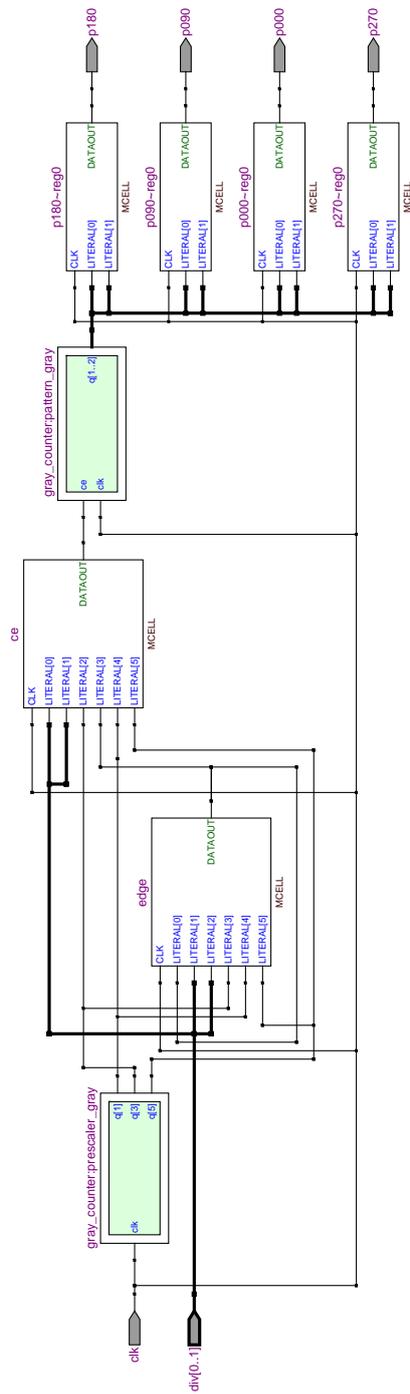


Abbildung 2: Technologie Umsetzung bei Altera nach dem Fitten

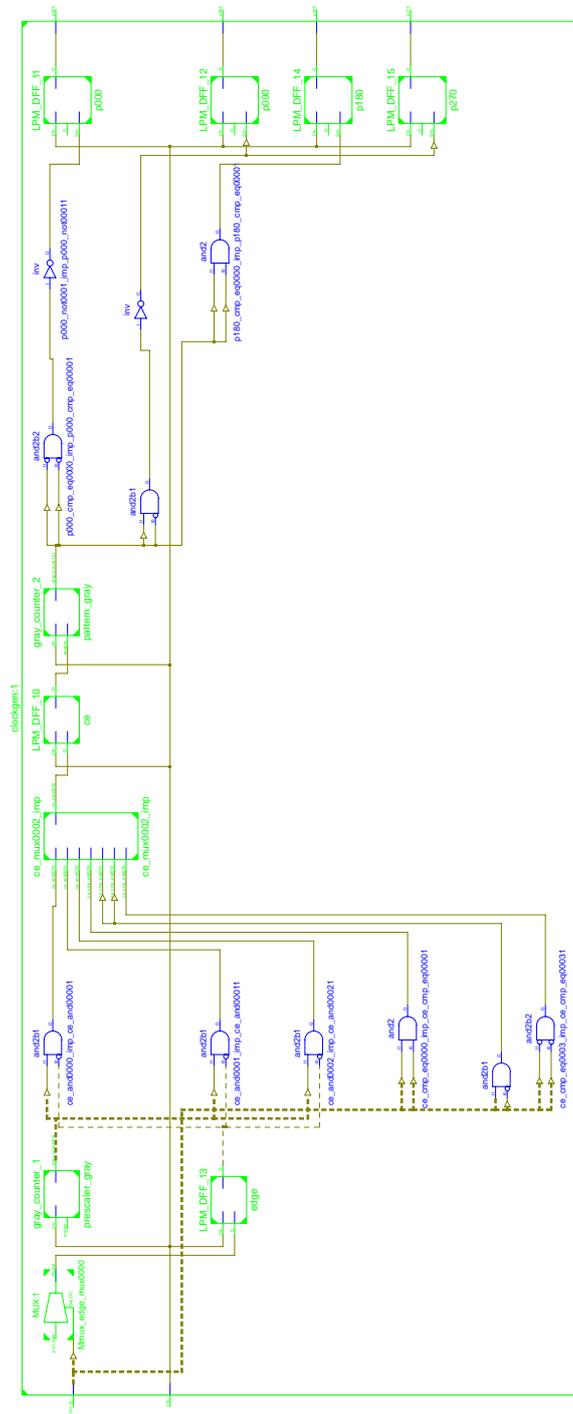


Abbildung 3: Register Transfer Level der Xilinx Implementation

